

BUNDESREPUBLIK DEUTSCHLAND

CERTIFIED COPY OF
PRIORITY DOCUMENT



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 03 347.5

Anmeldetag: 29. Januar 2003

Anmelder/Inhaber: EADS Deutschland GmbH, Ottobrunn/DE

Bezeichnung: Verfahren und Schaltung zur Wandlung eines
analogen Istsignals in ein digitales Sollsignal

IPC: H 03 M 1/38

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Dezember 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Ebert

EADS Deutschland GmbH
Willi-Messerschmitt-Str.
85521 Ottobrunn

5 P 610 896 /DE /1

Verfahren und Schaltung zur Wandlung eines analogen Istsignals in ein digitales Sollsignal

10 Die Erfindung betrifft ein Verfahren und eine Schaltung zur Wandlung eines analogen Istsignals in ein digitales Sollsignal gemäß dem Oberbegriff des Patentanspruchs 1.

Es sind RF-systeme mit RF-(radio frequency) Verstärkern umfassend Detektoren, z.B. rf-Detektoren oder Stromsensoren, zur Überwachung des Sende- und Empfangsbetriebs bekannt. Ein detektiertes Videosignal ist dabei ein Abbild der empfangenen rf-Puls. Diese rf-Pulse werden von Analogkomparatoren gegen eine Referenzschwelle überwacht. Der Ausgang dieser Komparatoren wird analysiert und das Ergebnis üblicherweise über serielle Schnittstellen zur Weiterverarbeitung weitergeleitet.

20

Die Analogkomparatoren K sind üblicherweise programmierbare Komparatoren K, welche die Referenzschwelle, das analoge Sollsignal AS_S , intern mittels eines eingebauten Digital-/Analog-Wandlers D/A generieren. Die entsprechenden Digitalwerte DS_S für das analoge Sollsignal AS_S sind in einem bekannten Speichermedium SP, z.B. ein EPROM, gespeichert und werden je nach Betriebsart des Komparators K in den entsprechenden Komparatoreingang 1 geschrieben. Das analoge Istsignal S_I wird dem anderen Komparatoreingang 2 zugeführt. Am Komparatorausgang A kann festgestellt werden, ob das Istsignal I_S größer oder kleiner als das Sollsignal AS_S ist. (Fig. 1)

30

Zur Kalibrierung der Detektoren wird die zu überwachende rf-Leistung mit z.B. einem RF-Powermeter (sogenannten Peak-Power-Analyser) gemessen. Gleichzeitig muß für denselben rf-Puls die detektierte Spannung am Detektor gemessen werden. Letzte-

res erfolgt üblicherweise mit einem Oszilloskop, wobei die Messung der Spannung am Ausgangspin des zu jeweiligen Komparators erfolgt.

Hierbei ist insbesondere der bau- und zeitaufwendige Messvorgang am Komparatorausgang nachteilig. Üblicherweise stehen am Ausgang des Komparators keine Prüfpins oder externe Steckverbindungen zur Verfügung, da dies einen erheblichen Mehraufwand bei der Produktion bedeutet. Somit muß zu Prüfzwecken oft das Gesamtgerät umgebaut, z.B. geöffnet werden um z.B. mittels Probe das Istsignal am Komparatoreingang zu erfassen. Dabei entstehen Messunsicherheiten aufgrund von Toleranzen beim Messzeitpunkt mit dem Oszilloskop und Messfehler durch z.B. eingekoppelte Störungen, welche das Istsignal verfälschen. Diese Messunsicherheiten führen somit zu Nachteilen bei der Kalibrierung der Detektoren.

Weitere Nachteile ergeben sich daraus, dass bestimmte unter Umständen Detektoren bei verschiedenen Temperaturen und somit in Klimakammern kalibriert werden müssen. Hierbei wird die Adaption der Prüfsignale an den Detektoren weiter erschwert.

Aufgabe der Erfindung ist es, ein einfaches, schnelles und möglichst automatisches Verfahren zur Wandlung eines analogen Istsignals in ein digitales Sollsignal anzugeben, womit eine adaptive Kalibrierung von Detektoren möglich ist. Eine weitere Aufgabe besteht in der Schaffung einer Schaltung zur Durchführung dieses Verfahrens.

Diese Aufgabe wird mit dem Verfahren gemäß Patentanspruch 1 und der Schaltung gemäß Patentanspruch 6 gelöst. Vorteilhafte Ausführungen der Erfindung sind Gegenstand von Unteransprüchen.

Erfindungsgemäß wird das dem Digital/Analog-Wandler zugeführte digitale Eingangssignal in Abhängigkeit vom dem am Komparatorausgang anliegende Ausgangssignal des Komparators in einer vorgebbaren Anzahl von Iterationsschritten zwischen einer vorgebbaren unteren und einer vorgebbaren oberen Schwelle nach dem Wägeverfahren angepasst, wobei das dem Digital/Analog-Wandler jeweils zu-

geführte digitale Eingangssignal dem digitalen Sollsignal entspricht in welches das analoge Istsignal gewandelt wird.

- 5 Bei dem erfindungsgemäßen Verfahren wird die Referenzschwelle in Abhängigkeit der Zahl der vorgebbaren Iterationsschritte binär aufbereitet. Vorteilhaft entspricht die Zahl der Iterationsschritte der Bitlänge mit der das digitale Sollsignal angegeben werden soll. Mit einer großen Zahl von Iterationsschritten kann somit die Genauigkeit des Sollsignals und somit der Referenzschwelle angegeben werden. Somit wird bei ei-
- 10 ner Zahl von 8 Iterationsschritten das analoge Istsignal mit einer 8-Bit Auflösung nachgebildet. Die Nachbildung erfolgt dabei Bit für Bit gemäß dem bekannten Wägeverfahren, bei welchem die am Komparator anliegende Spannung in mehreren Schritten sukzessive approximiert wird. Ein solches Verfahren ist in der Digitaltechnik neben dem Parallelverfahren und dem Zählverfahren ein bekanntes Verfahren bei
- 15 der Realisierung von A/D- und/oder D/A-Wandlern.

Ein Vorteil des erfindungsgemäßen Verfahrens ist, dass auf die Prüfung mittels Oszilloskop und dessen externe Adaption verzichtet werden kann. Auch weitere zeit- und kostenintensive Umbaumaßnahmen entfallen bei dem erfindungsgemäßen

20 Verfahren. Die Kalibrierung kann z.B. einfach und schnell ohne Umbaumaßnahmen in einer Klimakammer durchgeführt werden.

In einer vorteilhaften Ausführung der Erfindung umfasst das analoge Istsignal einen Burst mit mehreren Pulsen vorgebbarer Pulslänge. Die Pulslänge kann z.B. im Be-

25 reich von nur einigen μs liegen. Ein Burst kann jede beliebige Anzahl von Pulsen, (z.B. 268 Pulse) umfassen.

Durch die aufeinanderfolgende Pulse kann es z.B. bei RF-Leistungstransistoren aufgrund von Erwärmung zu einer Veränderung des Istsignals während des Bursts

30 kommen (sogenannter Burst droop). Bei Messungen hat sich in überraschender Weise ergeben, dass sich beim regelmäßigen Senden von Bursts für immer dieselben Pulse im Burst gleiche Verhältnisse (konstanter Istwert) ergeben. In einer weiteren vorteilhaften Ausführung der Erfindung wird das Istsignal am Komparator für einen vorgebbaren Referenzpuls aus dem Burst betrachtet. Darüber hinaus wird von

diesem Referenzpuls vorteilhaft der der Pulsmitte entsprechende Signalwert im Komparator verarbeitet.

Somit wird beim kontinuierlichen Betrieb von z.B. Burst n bis Burst n+8 bei Puls m der analoge Istwert in einen digitalen Sollwert nachgebildet.

Durch EMV-Störungen, (z.B. sogenannte Spikes), kann das erzeugte digitale Sollsignal verfälscht sein. In einer vorteilhaften Ausführung der Erfindung wird in zwei weiteren Iterationsschritten Burst n+9 und Burst n+10 eine Verifikation des digitalen Sollsignals durchgeführt. Dabei wird in einem ersten Schritt von dem gewonnenen digitalen Sollsignal ein vorgebbbarer Signalwert, z.B. 10% des typischen Maximalwertes, abgezogen. Dies erfolgt nur wenn das digitale Sollsignal zuvor einen entsprechend hohen Wert aufwies. Beim Vergleich von aktuellem Istsignal (am Referenzpuls) mit dem um die Differenz vermindertem Sollsignal muss eine Überschreitung auftreten. Ist dies nicht der Fall, wird der gewonnene Sollwert für diesen Zyklus verworfen. In einem Statusbit wird das entsprechende Ergebnis festgehalten.

Im letzten Schritt (Burst n+10) wird dem Sollsignal zuvor ein vorgebbbarer Signalwert, z.B. 10% des typischen Maximalwertes aufaddiert, wenn der Wert kleiner als der Maximalwert ist. Beim Vergleich von aktuellem Istsignal (am Referenzpuls) mit dem um die Differenz vermindertem Sollsignal muss eine Unterschreitung auftreten. Ist dies nicht der Fall, wird der gewonnene Sollwert für diesen Zyklus verworfen. In einem Statusbit wird das entsprechende Ergebnis festgehalten.

Die somit gewonnenen Sollwerte inklusive Bewertung durch Statusbits werden durch ein vorhandenes Bussystem vom Prüfling an einen externen Prüfrechner geleitet. Dieser berechnet je nach Anforderungen und Daten die aus anderen Quellen (z.B. PeakPowerMeter) stammen individuelle Sollwerte als Betriebsschwellen. Die Werte jener Betriebsschwellen werden abschliessend in den Eproms des Prüflings programmiert.

Im operationellen Betrieb überwacht der jeweilige Komparator die detektierte Pulsleistung gegen einen Referenzwert, welcher zuvor aus dem entsprechenden Eprom in das Eingangsregister des DA-Wandlers im Komparator geladen wurde.

In Fig. 2 ist eine beispielhafte Schaltung zur Durchführung des erfindungsgemäßen Verfahrens dargestellt. Die Schaltung umfasst einen Komparator K mit zwei Eingangstoren 1,2 und einem Ausgangstor A sowie einem Digital/Analog-Wandler D/A mit einem digitalen Eingangstor D_E und einem analogen Ausgangstor D_A . Das analoge Ausgangstor D_A ist mit einem Eingangstor 1 des Komparators K verbunden. Dem anderen Eingangstor 2 des Komparators K wird das zu wandelnde analoge Istsignal I_S zugeführt. Das Ausgangstor A des Komparators K ist mit einem elektronischen Bauteil KV zur Erzeugung eines digitalen Sollsignals DS_S verbunden, welches dem digitalen Eingangstor D_E des Digital/Analog-Wandlers D/A zugeführt ist. Das elektronische Bauteil KV ist dabei derart ausgeführt, dass es das digitale Sollsignal DS_S nach dem Wägeverfahren erzeugt.

Das von dem elektronischen Bauteil KV erzeugte digitale Sollsignal DS_S kann auch weiteren Komponenten (nicht dargestellt) zur Weiterverarbeitung zugeführt werden.

Mit der in Fig. 2 dargestellten Schaltung ist es z.B. möglich, im Kalibriermodus für einen RF-Detektor eines RF-Geräts einen Schwellwert für einen bestimmten Betriebsmodus zu generieren.

Patentansprüche

1. Verfahren zur Wandlung eines analogen Istsignals (S_I) in ein digitales Sollsignal (DS_S) mittels eines zwei Eingangstore (1, 2) und ein Ausgangstor (A) aufweisenden Komparators (K) und eines integrierten Digital/Analog-Wandlers (D/A), wobei dem einen Eingangstor (1, 2) des Komparators (K) das zu wandelnde analoge Istsignal (S_I) und dem anderen Eingangstor (2, 1) des Komparators (K) das analoge Ausgangssignal (AS_S) des Digital/Analog-Wandlers (D/A) zugeführt wird, **dadurch gekennzeichnet, dass** das dem Digital/Analog-Wandler (D/A) zugeführte digitale Eingangssignal (DS_S) in Abhängigkeit vom dem am Komparatorausgang (A) anliegende Ausgangssignal des Komparators (K) in einer vorgebbaren Anzahl von Iterationsschritten zwischen einer vorgebbaren unteren und einer vorgebbaren oberen Schwelle nach dem Wägeverfahren angepasst wird, wobei das dem Digital/Analog-Wandler (D/A) jeweils zugeführte digitale Eingangssignal (DS_S) dem digitalen Sollsignal (DS_S) entspricht in welches das analoge Istsignal (S_I) gewandelt wird.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet, dass** das analoge Istsignal (S_I) einem Burst umfassend einer vorgebbaren Anzahl von Pulsen entspricht.
3. Verfahren nach Anspruch 2, **dadurch gekennzeichnet, dass** dem Komparator (K) ein vorgebbarer Referenzpuls aus dem Burst zugeführt wird und dass von diesem Referenzpuls im Komparator (K) der der Pulsmitte entsprechende Signalwert verarbeitet wird.
4. Verfahren nach einem der vorangehenden Ansprüche, **dadurch gekennzeichnet, dass** die Zahl der vorgebbaren Iterationsschritte der Bitlänge entspricht, mit der das digitale Sollsignal (DS_S) angegeben wird.
5. Verfahren nach einem der vorangehenden Ansprüche, **dadurch gekennzeichnet, dass** das digitale Sollsignal (DS_S) verifiziert wird, derart, dass in einem ersten weiteren Iterationsschritt von dem analogen Istsignal (S_I) ein vor-

gebbarer Signalwert abgezogen wird, welches dann dem einen Eingangstor (2, 1) des Komparators (K) zugeführt wird und welches mittels des am Ausgang (A) anliegende Ausgangssignals des Komparators (K) auf Unterschreitung des am anderen Eingangstor (1, 2) des Komparators (K) anliegende, im Digital-/Analog-Wandler (D/A) aus dem zu verifizierenden digitalen Sollsignal (DS_S) erzeugte analoge Ausgangssignal (AS_S) des Digital-Analog-Wandlers (D/A) geprüft wird und dass in einem zweiten weiteren Iterationsschritt zu dem analogen Istsignal (I_S) ein entsprechend vorgebbbarer Signalwert addiert wird, welches dann dem einen Eingangstor (2, 1) des Komparators zugeführt wird und welches mittels des am Ausgangstor (A) anliegenden Ausgangssignals des Komparators (K) auf Überschreitung des am anderen Eingangstor (1, 2) des Komparators (K) anliegende, im Digital-/Analog-Wandler (D/A) aus dem zu verifizierende digitalen Sollsignal (DS_S) erzeugte analoge Ausgangssignal (AS_S) des Digital-Analog-Wandlers (D/A) geprüft wird, wobei das digitale Sollsignal (DS_S) als korrekt angenommen wird, wenn der Prüfschritt im ersten und der Prüfschritt im zweiten weiteren Iterationsschritt erfolgreich war.

6. Schaltung zur Durchführung eines Verfahrens nach einem der vorangehenden Ansprüche umfassend einen Komparator (K) mit zwei Eingangstoren (1, 2) und einem Ausgangstor (A) sowie einem Digital/Analog-Wandler (D/A) mit einem digitalen Eingangstor (D_E) und einem analogen Ausgangstor (D_A), wobei das analoge Ausgangstor (D_A) mit einem Eingangstor (1, 2) des Komparators (K) verbunden ist und das zu wandelnde analoge Istsignal (I_S) dem anderen Eingangstor (2, 1) des Komparators (K) zugeführt ist und wobei das analoge Ausgangstor (A) des Komparators (K) mit einem elektronischen Bauteil (KV) zur Erzeugung eines digitalen Sollsignals (DS_S) verbunden ist, welches dem digitalen Eingangstor (D_E) des Digital/Analog-Wandlers (D/A) zugeführt ist.

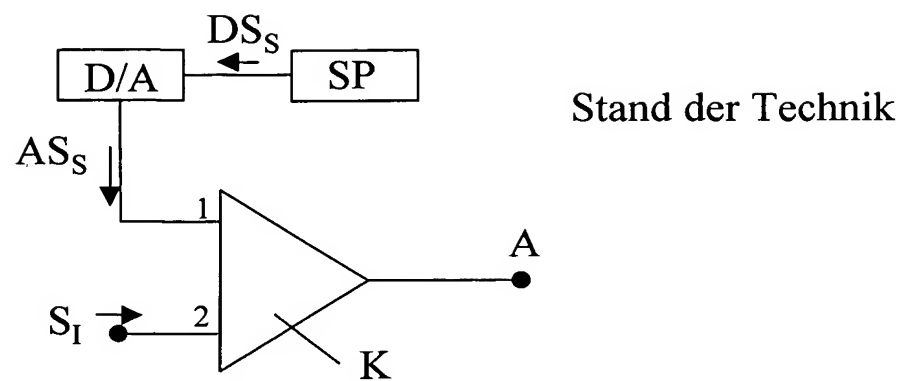


Fig. 1

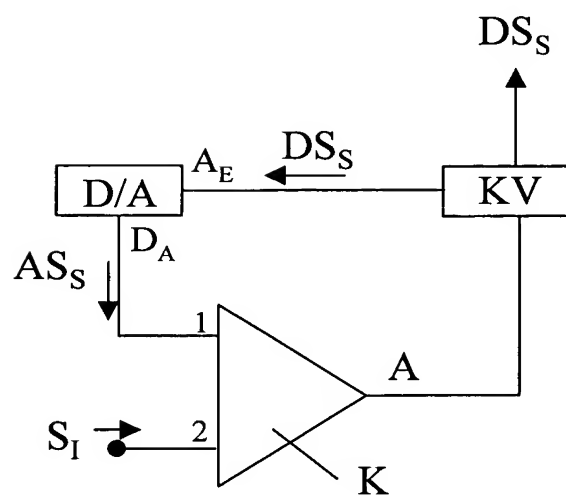


Fig. 2

Zusammenfassung

Die Erfindung betrifft ein Verfahren zur Wandlung eines analogen Istsignals (S_I) in ein digitales Sollsignal (DS_S) mittels eines zwei Eingangstore (1, 2) und ein Ausgangstor (A) aufweisenden Komparators (K) und eines Digital/Analog-Wandlers (D/A), wobei

5 dem einen Eingangstor (1, 2) des Komparators (K) das zu wandelnde analoge Istsignal (S_I) und dem anderen Eingangstor (2, 1) des Komparators (K) das analoge Ausgangssignal (AS_S) des Digital/Analog-Wandlers (D/A) zugeführt wird. Gemäß der Erfindung wird das dem Digital/Analog-Wandler (D/A) zugeführte digitale Eingangssignal (DS_S) in Abhängigkeit vom dem am Komparatorausgang (A) anliegende Aus-

10 gangssignal des Komparators (K) in einer vorgebbaren Anzahl von Iterationsschritten zwischen einer vorgebbaren unteren und einer vorgebbaren oberen Schwelle nach dem Wägeverfahren angepasst, wobei das dem Digital/Analog-Wandler (D/A) jeweils zugeführte digitale Eingangssignal (DS_S) dem digitalen Sollsignal (DS_S) entspricht in

15 welches das analoge Istsignal (S_I) gewandelt wird.

(Fig. 2)

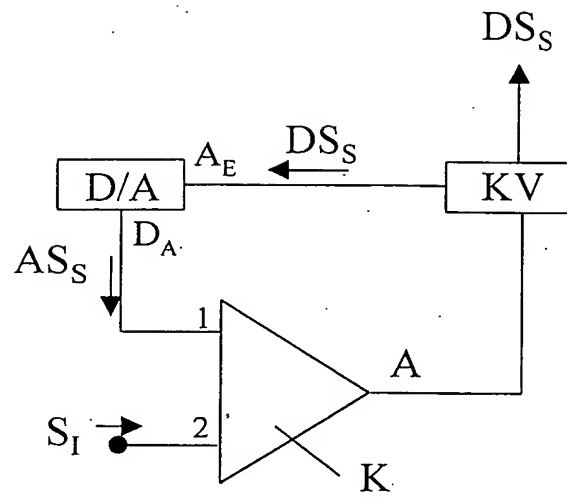


Fig. 2